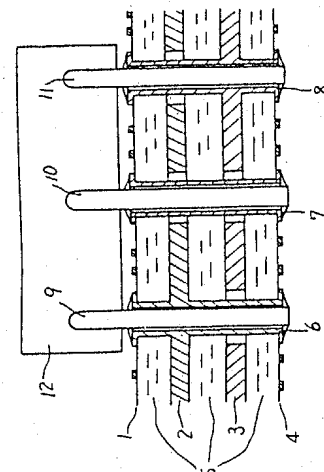


(54) ELECTRONIC BOARD

(11) 2-186694 (A) (43) 20.7.1990 (19) JP
 (21) Appl. No. 64-4923 (22) 13.1.1989
 (71) HITACHI LTD (72) MASATSUGU KAMETANI(1)
 (51) Int. Cl⁵. H05K3/46, H05K1/02, H05K1/11, H05K7/20

PURPOSE: To make an electronic board have a cooling capacity enough to enable an electronic circuit mounted on it to operate normally by a method wherein the electronic board is composed of two or more layers including wiring layers arranged on both sides and ground layer or a power layer sandwiched between the wiring layers.

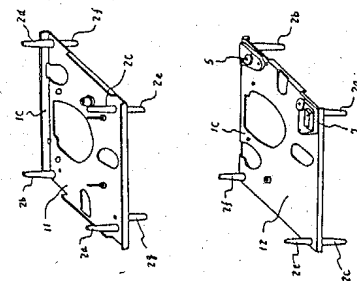
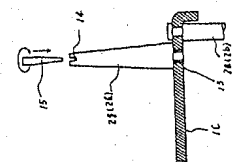
CONSTITUTION: An electronic board is composed of wiring layers 1 and 4, a ground layer 2, a power layer 3, and an insulating layer, a part of the heat released from an electronic circuit 12 is conducted to the ground layer 2 through a ground pin 9, and the rest conducted to the power layer 3 through a power pin 11. As the ground layer 2 and the power layer 3 are formed of a material which is small in electrical resistance and excellent in thermal conductivity, the heat conducted to these inner layers 2 and 3 is primarily dissipated in the following three ways: first, it is absorbed by a cooling section provided to the end of the layers 2 and 3; second, it is conducted to the surface of the electronic board and absorbed by the fluid which flows there; and third, it is conducted to the surface of a low heat releasing chip through the ground pin and the power pin of the low heat releasing chip lower than the inner layers 2 and 3 in temperature and absorbed by the pins and the fluid which flows the surface of the chip.

**(54) ASSEMBLY OF ELECTRONIC EQUIPMENT**

(11) 2-186697 (A) (43) 20.7.1990 (19) JP
 (21) Appl. No. 64-332717 (22) 25.12.1989
 (71) HITACHI LTD (72) TOSHIRO OHASHI(1)
 (51) Int. Cl⁵. H05K7/04, H05K13/04

PURPOSE: To effectively use a foot fitting space by a method wherein a transferring foot is fitted in a detachable manner to an electronic component mounting chassis.

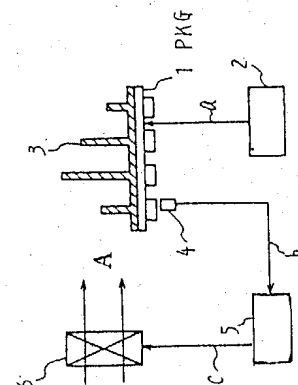
CONSTITUTION: Transferring feet 2a-2h are fitted to a front 11 and a rear 12 of a chassis 1c respectively. The feet 2a and 2g and the feet 2b and 2h are so fitted two pairs of through-holes provided to the chassis 1c respectively in an integral structure as to make their centers located separate from each other, and other feet 2c and 2e and feet 2d and 2f are fitted to normal through-holes provided to the chassis 1c respectively in an integral structure. In this example, components are assembled on the front side 11 of the chassis 1c as the chassis is kept horizontal with the leg 2e-2h. At this point, the assembly is executed as the feet 2a-2d are left fitted to the front side 11. Next, when components are assembled on the rear side 12 of the chassis 1c, the chassis 1c is kept horizontal by the feet 2a-2d left fitted to the front side 11 and the feet 2g and 2h are removed by revolving them, and a gear component 7 are mounted on the part where the feet 2g and 2h have been removed.

**(54) AIR COOLED AGING DEVICE**

(11) 2-186698 (A) (43) 20.7.1990 (19) JP
 (21) Appl. No. 64-6175 (22) 12.1.1989
 (71) NEC CORP (72) HIDEO MIHASHI
 (51) Int. Cl⁵. H05K7/20, G05D23/00, H05K13/00

PURPOSE: To keep an aging temperature of elements of a package(PKG) constant so as to make an aging effect act uniformly on the elements by a method wherein heat sinks are formed into fin shapes conforming to the heat release distribution of the PKG.

CONSTITUTION: A power supply section 2 supplies power a to a PKG 1 to make it operate and release heat. A temperature sensor 4 measures the temperature of the PKG 1 and outputs a sense signal b as the measured value. A temperature control section 5 receives the sense signal b and controls the revolution of a fan 6 through a control signal c to change the volume of cooling air sent to heat sinks 3, whereby heat dissipation is controlled to keep the measured temperature of the temperature sensor 4 constant. The heat sinks 3 are formed into fin shapes conforming to the heat distribution of the PKG occurring due to the dispersion of the elements in heat release, so that the aging temperature of the elements of the package 1 can be kept constant.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-186694

⑬ Int. Cl.⁵

H 05 K 3/48
1/02
1/11
7/20

識別記号

G
A
H
C

庁内整理番号

7039-5E
8727-5E
6736-5E
7373-5E

⑭ 公開 平成2年(1990)7月20日

審査請求 未請求 請求項の数 21 (全 23 頁)

⑮ 発明の名称 電子基板

⑯ 特 願 平1-4923

⑰ 出 願 平1(1989)1月13日

⑱ 発 明 者 亀 谷 雅 嗣 茨城県土浦市神立町502番地 株式会社日立製作所機械研
究所内

⑲ 発 明 者 梅 北 和 弘 茨城県土浦市神立町502番地 株式会社日立製作所機械研
究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

電子基板

2. 特許請求の範囲

1. 配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記配線層は両側に前記グラウンド層又は前記電源層が配置されている層を含めて複数層配されていることを特徴とする電子基板。
2. 請求項1記載の電子基板において、前記電源層を複数層有することを特徴とする電子基板。
3. 請求項1記載の電子基板において、前記グラウンド層を複数層有することを特徴とする電子基板。
4. 請求項2記載の電子基板において、前記電源層の少なくとも一層の厚さは前記配線層の厚さよりも大きいことを特徴とする電子基板。
5. 請求項3記載の電子基板において、前記グラウンド層の少なくとも一層の厚さは前記配線層の

厚さよりも大きいことを特徴とする電子基板。

6. 配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記配線層を複数層有し、前記電源層と前記グラウンド層の数の和は前記配線層の数のよりも多いことを特徴とする電子基板。
7. 配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記配線層を複数層有し、前記電源層または前記グラウンド層を複数層有していることを特徴とする電子基板。
8. 請求項6または請求項7記載の電子基板において、前記配線層の1つは両側に前記グラウンド層または配線層が配置されていることを特徴とする電子基板。
9. 配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記グラウンド層又は前記電源層の厚さは前記配線層の厚さよりも大きいことを特徴とする電子基板。

10. 配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記電源層に形成されているあるスルーホールと他のスルーホールとの直線間は直接接続されていることを特徴とする電子基板。
11. 請求項10記載の電子基板において、前記電源層に形成された各スルーホールの直線間は直接接続されていることを特徴とする電子基板。
12. 配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記グランド層に形成されているあるスルーホールと他のスルーホールとの直線間は直接接続されていることを特徴とする電子基板。
13. 請求項12記載の電子基板において、前記グランド層に形成された各スルーホールの直線間は直接接続されていることを特徴とする電子基板。
14. 請求項1ないし請求項13のいずれか記載の

(3)

の間に絶縁層を介して多層に配置されている電子基板上に冷却用流体を流通させて電子基板上の電子回路チップから発生する熱を冷却する実装電子基板装置において、前記冷却用流体が流通する上流側端部に複数のコネクタを開隔をもつて配置し、前記コネクタによつて冷却用流体の流速が大きくなった部分または乱れが生じる部分に高発熱のチップを配置したことを特徴とする実装電子基板。

19. 配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板の電子基板装置において、前記電子基板のグランド線、電源線、信号線をそれぞれマザーボードの対応するグランド線、電源線、信号線と接続し、前記マザーボードの電源層と電源板とを伝導板で接続し、前記マザーボードのグランド層とグランド板とを伝導板で接続したことを特徴とする電子基板装置。
20. 請求項19記載の電子基板装置において、前記グランド板または前記電源板の表面に凹凸ま

(5)

電子基板において、前記配線層に配線された平行配線間の最小距離を前記配線層とそれに隣接する前記グランド層または前記電源層の距離よりも大きくしたことを特徴とする電子基板。

15. 請求項1ないし請求項14のいずれか記載の電子基板の前記電源層の少なくとも1つに電子回路のチップの電源ピンが接続されていることを特徴とする実装電子基板。
16. 請求項1ないし請求項14のいずれか記載の電子基板の前記電源層の少なくとも1つに電子回路のチップの電源ピンが接続されていることを特徴とする実装電子基板。
17. 配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板に電子回路チップの実装を行った実装電子基板において、前記電子回路のチップの内部回路と電気的に絶縁されているピンまたは使用しない入力ピンを前記グランド層または前記電源層に接続したことを特徴とする実装電子基板。
18. 配線層、グランド層、電源層がそれぞれの層

(4)

たはフィンを設けたことを特徴とする電子基板装置。

21. 請求項1ないし請求項15のいずれか記載の電子基板に部品を実装する電子基板の実装方法において、前記電子基板を予め加熱し、前記グランド層及び前記電源層の温度を上げた状態で部品を前記電子基板にハンダ付けをすることを特徴とする電子基板の実装方法。

8. 発明の詳細な説明

〔産業上の利用分野〕

本発明は放熱性にすぐれたコンパクトな構造をもつ電子基板、その実装基板および電子基板の実装方法に関する。

〔従来の技術〕

作動中の電子回路チップは熱を発生するが、これを冷却しないままにしておくと、電子回路の温度が上昇して、ついには正常動作しなくなる。そこで、電子回路が正常に動作するよう、チップを冷却する必要があるが、電子回路チップは電子基板上に実装されて用いられるのが一般的である。

(6)

従来電子基板に実装された電子回路チップを冷却する方法として、電子回路パッケージにフィンを取付け、このフィンを空冷または水冷する方法の他、特開昭60-35508号公報、特開昭61-248500号公報に記載のように、電子基板の外側に冷却板を取りつけることによって、電子回路パッケージを冷却したり、特開昭62-198200号公報に記載のように、電子基板の裏面又は内部に冷却液を封入した箱形状のヒートパネルを密着または挿入して冷却していた。

〔発明が解決しようとする課題〕

上記従来技術は冷却設備に要するスペースとコストについての配慮がされておらず、電子回路チップを実装した電子基板を高密度実装することが困難な上、一電子基板当りのコストが高いという問題があった。

本発明の目的は、その上に実装している電子回路が正常動作するに足る冷却能力を有しコンパクトな冷却設備を備えた電子基板その実装基板およびそれを用いたシステムを提供することにある。

(7)

多層に配置されている電子基板において、前記配線層を複数層有し、前記電源層または前記グランド層を複数層有している。

さらに本発明の電子基板は、配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記グランド層又は前記電源層の厚さは前記配線層の厚さよりも大きい構成にある。

本発明の実装電子基板は、配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板に電子回路チップの実装を行った実装電子基板において、前記電子回路のチップの内部回路と電気的に絶縁されているピンまたは使用しない入力ピンを前記グランド層または前記電源層に接続している。

また、本発明の実装電子基板は、配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板上に冷却用流体が流通させて電子基板上の電子回路チップから発生する熱を冷却する実装電子基板装置において、

(8)

また、本発明の他の目的は、クロストークによるノイズを低減することができる電子基板を提供することにある。

さらに、本発明の他の目的は温度、電源、グランド等の動作環境が電子基板内で均質化された電子基板を提供することにある。

〔課題を解決するための手段〕

本発明の電子基板は、配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記配線層は両側に前記グランド層又は前記電源層が配置されている層を含めて複数層配されている。

また、本発明の電子基板は配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記配線層を複数層有し、前記電源層と前記グランド層の数の和は前記配線層の数よりも多いことを構成をとる。

さらに、本発明の電子基板は配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して

(8)

前記冷却用流体が流通する上流側端部に複数のコネクタを間隔をもつて配置し、前記コネクタによって冷却用流体の流速が大きくなった部分に高発熱のチップを配置している。

本発明の電子基板装置は、配線層、グランド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板の電子基板装置において、前記電子基板のグランド線、電源線、信号線をそれぞれマザーボードの対応するグランド線、電源線、信号線と接続し、前記マザーボードの電源層と電源板とを伝導板で接続し、前記マザーボードのグランド層とグランド板とを伝導板で接続している。

〔作用〕

本発明の電子基板中の配線層のうち絶縁層を介して隣接する層にグランド層または電源層を配した配線層においては、配線のインピーダンスを小さくできるので、平行に走る配線間の静電結合によるクロストークによるノイズを低減できる。この効果は、配線層とこれに絶縁層を介して隣接す

(10)

るグラウンド層または電源層との距離が近いほどよく現れ、また、配線層の絶縁層を介した隣接層にグラウンド層を配した時の方が、電源層を配した時よりも効果的である。また、本発明の電子基板において、電源層、グラウンド層を多層に設けたことにより、電源層、グラウンド層そのもののインピーダンスをさらに小さくでき、高周波成分を多く含む動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができる。

本発明の電子基板、実装電子基板においては、ある発熱チップからの熱は主にそのチップのピンのうち、グラウンド層または電源層に熱抵抗が小さい方法で接続されているピンを通じて、グラウンド層、電源層に伝わる。これらの層は厚いか、または多層設けられているので熱伝導性が良く基板全体に熱が伝わる。このうち電子基板表面に伝わった熱は電子基板表面を流れる流体によつて冷却される。このとき、電源層、グラウンド層を各1枚ずつにする場合に比べて、これらの層を複数に分けた場合の方が基板表面に近い場所に、熱の良導体

(11)

電源層等の熱伝導性のよい層を伝わって基板全体に広がる上、高発熱チップは冷却用流体の流速を速めた場所、乱れを発生させた場所に配し、他の低発熱チップに比べ、より効果的に冷却しているため、基板の温度を均一化することができる。

本発明の電子基板の実装方法によれば、電子基板を予め加熱しておき、グラウンド層、電源層の熱伝導性の良い層の温度を高めて、ハンダ融点との温度差を小さくした状態でハンダ付けを行うと、電源層、グラウンド層すなわち熱伝導性の良い層へ熱が逃げにくくなり良好にハンダ付けを行うことができる。

また、絶縁層を熱の良導体で構成すれば、発熱チップから本発明の電子基板、実装電子基板表面に伝わる熱量は増し、伝導板を通じてグラウンド板、電源板に伝わる熱量も増すので、発熱チップの冷却により効果的である。

〔実施例〕

以下、本発明の第1の実施例を第1図により説明する。

(13)

であるグラウンド層または電源層を多く配することができ、冷却に関して有利である。また、本発明の電子基板装置ではグラウンド層に伝わった熱は伝導板を通じて主にグラウンド板に流れる。電源層に伝わった熱は伝導板を通じて主に電源板に伝わる。このようにしてグラウンド板、電源板に伝わった熱は、その表面で冷却される。

この時、グラウンド板、電源板の表面に冷却用流体を流したり、グラウンド板、電源板の表面に凹凸またはフィンをつけ表面積を増せば、これら両板表面での冷却をより効果的に行うことができる。

さらに、この装置では、電源ユニットは電源板、グラウンド板に接続されており、マザーボードへの電源供給は、これら両板を介して行われ、電源板、グラウンド板上で装置全体の基準となる電源電位、グラウンド電位を安定させることができるので、マザーボード、ドーターボード上の電源電位、グラウンド電位を安定させることができる。

また、本発明の実装電子基板においては発熱する電子回路チップからの熱が、内層のグラウンド層、

(12)

第1実施例の電子基板は配線層1、4、グラウンド層2、電源層3、絶縁層5から成っており、スルーホール6はグラウンド層2に、スルーホール7は配線層1、4に、スルーホール8は電源層3にそれぞれ接続されている。グラウンド層2および電源層3は電気抵抗が小さくかつ熱伝導率のよい物質、例えば銅で構成されており、電子基板一面に広がっている。また、スルーホールによる切欠穴、スルーホールからの逃げ穴等の切欠部はコストとのかね合いを図りながらなるべく小さくし、導体面積を大きくしている。また、電子回路チップ12からグラウンドピン9、信号ピン10、電源ピン11が出ており、グラウンドピン9はスルーホール6に、信号ピン10はスルーホール7に、電源ピン11はスルーホール8に熱抵抗が小さくなる方法で接続されている。

以上のような電子基板において、電子回路チップ12から発する熱は次のようにして運ばれ、電子回路チップ12は冷却される。電子回路チップ12で発生した熱は一方でグラウンドピン9を伝わ

(14)

つてグラウンド層 2 に運ばれ、他方で電源ピン 1 1 を伝わつて電源層 3 に運ばれる。グラウンド層 2 および電源層 3 は電気抵抗が小さくかつ熱伝導率の良い物質で構成されているので、これらの層に伝わった熱は内層であるこれらの層を伝わつて、主に次の 3 つの方法で冷却される。

1 つは、グラウンド層 2 および電源層 3 の先に設けられた冷却部で冷却され、2 つめは電子基板の表面へと伝わつて表面でそこを流れる流体によつて冷却される。

3 つめは、この内層グラウンド層、電源層よりも温度の低い低発熱チップのグラウンドピン、電源ピンを伝わつて低発熱チップ表面へと伝わり、ピンおよびチップ表面でそこを流れる流体によつて冷却される。

このとき、チップ実装時のピンおよびチップの表面積は、非実装時の基板表面積より大きくなるので伝熱面積が広がり冷却に有利である。

この他、内層を経由せずに発熱チップから該チップ表面へと伝わり、チップ表面で冷却される熱、

(15)

グラウンド層を 3 としても、所定のピンを所定の層につなぎかえれば同等の効果が得られる。

また、本実施例では、グラウンド層、電源層を一層ずつとしたが、これら各層の層数を増せば、これら各層を伝わることのできる熱量は、各層一層ずつの場合に比べ増し、冷却により効果的である。また、電源層、グラウンド層数を各一層ずつの場合より増すことにより、電源層、グラウンド層そのもののインピーダンスを小さくすることができ、高周波成分を多く含む動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができる。

また、グラウンド層、電源層を通ることのできる熱量を増すためには、これら各層の厚みを増すことも効果的である。例えば、グラウンド層、電源層の厚みを 50~70 μm 程度にすることは通常の工程に特別な工程を加えることなく行うことができ、これにより冷却効果を得ることができる。

第 2 図は本発明の第 2 の実施例を示している。第 2 実施例の電子基板は本発明の電子基板を 8 層

(17)

および該チップのピン表面に伝わりそこで冷却される熱がある。

さらに、各表面からの輻射、対流によつて冷却される効果もある。このような方法によつて電子回路チップ 1 2 を冷却することができる。

以上のようにすれば、グラウンド電位を電子回路チップ 1 2 に供給する機能をもつグラウンド層 2 に電子回路チップ 1 2 から発生する熱を伝導するという機能を付加することができ、電源電位を電子回路チップ 1 2 に供給する機能をもつ電源層 3 に電子回路チップ 1 2 から発生する熱を伝導するという機能を付加することができる。つまり、本提案の電子基板においてはグラウンド層 2、電源層 3 に各電位供給と熱の伝導という 2 つの機能をもたせている上、これら各層は基板内にあり基板の外側に附属設備をつけないため、従来技術より低コストで、よりコンパクトなチップ中の電子回路を正常動作させるに十分な冷却機能をもった電子基板を得ることができる。また、第 1 図では、グラウンド層を 2、電源層を 3 としたが、電源層を 2、

(16)

で構成した例であり、配線層 1 3、1 5、1 8、2 0、グラウンド層 1 4、1 9、電源層 1 6、1 7、絶縁層 5 0 0 から成っている。また、配線 2 1、2 2 は配線層 1 3 上の配線である。配線層 1 3 側が部品面側であり、配線層 2 0 側が半田面側であつて電子回路チップおよびこのチップから出ているグラウンドピン、電源ピン、信号ピンは第 2 図には示していないが、第 1 図同様、各ピンとも該当層に熱抵抗が小さくなる方法で接続されている。

以上のような電子基板においては、第 1 実施例と同様にして、電子回路チップを冷却できる上、次のような動作が可能である。

一般に、配線層上である区間を平行に走る配線はその間で静電結合を結成し、クロストークによるノイズを生じる心配があるが、第 2 図に示す如く、配線層の絶縁層を介した隣りにグラウンド層または電源層を配し、電線層と絶縁物を介して隣接するグラウンド層または電源層との距離を小さくすれば、配線層における配線のインピーダンスを小さくできるので、平行な配線間の静電結合による

(18)

クロストークによるノイズを低減することができる。この効果は、配線層の絶縁層を介した隣りにグラウンド層を配した時の方が、電源層を配した時より効果的で、クロストークによるノイズをより低減することができる。また、配線層 13 上を平行に走る配線間の距離のうち最小のものを d_1 、配線層 13 とグラウンド層 14 の表面間距離を d_1 とし、配線層 20 上を平行に走る配線間の距離のうち最小のものを d_2 、配線層 20 とグラウンド層 19 の表面間距離を d_2 とした時、 $d_1 > d_2$ 、 $d_2 > d_1$ とすればより効果的に配線層 13、20 上の配線に生じるクロストークによるノイズを低減できる。

また、本実施例の電子基板においては、電源層、グラウンド層を多層に設けたことにより、電源層、グラウンド層そのもののインピーダンスを小さくできるので、高周波成分を多く含む動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができる。

さらに、本実施例の電子基板においては、電子

(19)

第 1 図において特に配線層 1 と、グラウンド層 2 の距離、配線層 4 と電源層 3 の距離を小さくすると効果的で、さらに配線層 1 とグラウンド層 2 との表面間距離を配線層 1 上を平行に走る配線間の距離のうち最短なものより小さくし、配線層 4 と電源層 3 との表面間距離を配線層 4 上を平行に走る配線間の距離のうち最短なものより小さくすると、さらに効果的にクロストークによるノイズを低減できる。

また、基板の温度を均一化する効果は第 1 実施例においても認められる。

また、第 2 図に示したのは、本発明の電子基板を 8 層で構成する場合の一例であつて、配線層の絶縁層を介した隣りには電源層またはグラウンド層を設けた構造になつていれば、第 2 図とは層構成の順序が異つていても、本発明の電子基板を構成したことになる。この時、第 2 図に示した実施例同様、ある配線層に絶縁層を介して隣接するグラウンド層または電源層と該配線層の距離を小さくすれば効果的にクロストークによるノイズを低減で

(21)

回路チップからの熱が、内層のグラウンド層、電源層を伝わって基板全体に広がるため、基板の温度を均一化することができる。

本実施例の基板においては、上記 2 つの効果を同時に実現できるため、基板内でグラウンド電位、電源電位の変動を小さく抑えつつ、電源電位、グラウンド電位、温度を基板内で均一化できるので、遅延管理等が行いやすくなり、きめ細かなタイミング設計が可能になる。

以上のように、第 2 実施例においては、第 1 実施例同様、従来技術による方法より低コストでかつ冷却設備に要するスペースをより小さくして電子基板上の電子回路チップを冷却できる上、配線に生じるクロストークによるノイズを低減でき、高周波成分を多く含む動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができ、基板の温度を均一化できる 8 層基板を得ることができる。

第 2 実施例で述べたクロストークによるノイズを低減する効果は第 1 実施例においても認められ、

(20)

きる。この効果は、隣接層がグラウンド層である時の方が、電源層である時よりも大きい。また、ある配線層の平行配線間の距離のうち最小なものを d 、該配線層に絶縁層を介して隣接するグラウンド層又は電源層のうち、該配線層との距離が小さい方の層と該配線層との距離を d とした時、 $d > d$ とすれば、クロストークによるノイズの低減にさらに効果的である。

本実施例では、配線層に絶縁層を介して隣接する層には電源層またはグラウンド層を配することをすべての配線層について行っているが、これは、本発明の効果を最大限に利用する場合であつて、クロストークのおそれのある配線を有する配線層だけについて、それに絶縁層を介して隣接する層にグラウンド層または電源層を配し、その他の配線層の配置は制限しないようにすることもできる。例えば、第 2 図において電源層 17 の代りに配線層を配してもよい。この配線層と配線層 18 上の配線の耐クロストーク性は第 2 図の場合より下がるが、クロストークのおそれのある信号ラインを

(22)

両側をグランド層と電源層でガードされている配線層15に配すればよいのであつて、このような層構成においても本発明の効果を得ることができる。この手法を用いれば、配線層に絶縁層を介して隣接する層には電源層またはグランド層を配することをすべての配線層について行う場合に比べて、同数の配線層を有する基板を、より少ない層数の基板で実現できるためより低コストに製造できる。

第3図は本発明の第3の実施例を示している。第3図に示す電子基板は、本発明の電子基板を6層で構成した例であり、配線層23、26、28、グランド層24、27、電源層25、絶縁層501から構成されている。また、配線層23側が部品面側であり、配線層28側が半田面側であつて、電子回路チップおよびチップから出ているグランドピン、電源ピンおよび信号ピンは第3図には示していないが、第1図同様、各ピンとも該当層に伝熱抵抗が小さくなる方法で接続されている。

以上のように構成すれば、第2実施例同様、従

(23)

を介して隣接するグランド層又は電源層のうち、該配線層との距離が小さい方の層と該配線層との距離を d とした時、 $l > d$ とすれば、クロストークによるノイズの低減にさらに効果的である。

第4図は、本発明の第4の実施例を示している。第4図に示す電子基板は、本発明の電子基板を12層で構成した例であり、配線層29、33、38、40、グランド層30、32、34、37、39、電源層31、35、36、絶縁層502から構成されている。また、配線層29側が部品面側であり、配線層40側が半田面側であつて、電子回路チップおよびチップから出ているグランドピン、電源ピン、信号ピンは第4図には示していないが、第1図同様、各ピンが該当層に熱抵抗が小さくなる方法で接続されている。

以上のように構成すれば、第2実施例同様、従来技術による方法より低コストでかつ冷却設備に要するスペースをより小さくして電子基板上のチップが冷却できる上、配線のクロストークによるノイズを低減でき、高周波動作に対する電源電位、

(25)

来技術による方法より低コストでかつ冷却設備に要するスペースをより小さくして電子基板上のチップを冷却できる上、配線のクロストークによるノイズを低減でき高周波成分を多く含む動作に対する電源電位、グランド電位の変動を基板内で小さく抑えることができ、基板の温度を均一化できる6層電子基板を得ることができる。

但し、第3図に示した例は、本発明の電子基板を6層で構成する場合の一実施例であつて、線層の絶縁層を介した両隣りにグランド層または電源層を設けた配線層を少なくとも1層有する構造になつていれば、第3図に示した層構成とは異なつていても本発明の電子基板を構成したことになる。

また、第2実施例の場合同様、ある配線層に絶縁層を介して隣接するグランド層または電源層と該配線層の距離を小さくすれば効果的にクロストークによるノイズを低減できる。この効果は、隣接層がグランド層である時の方が、電源層である時よりも大きい。また、ある配線層の平行配線間の距離のうち最小なものを l 、該配線層に絶縁層

(24)

グランド電位の変動を基板内で小さく抑えることができ、基板の温度を均一化できる12層基板を得ることができる。

但し、第4図に示した例は、本発明の電子基板を12層で構成する場合の一実施例であつて、配線層の両隣りに絶縁層を介してグランド層または電源層を設けた配線層を少なくとも1層有する構成になつていれば、本発明の電子基板を構成したことになる。また、第2実施例の場合同様、ある配線層に絶縁層を介して隣接するグランド層または電源層と該配線層の距離を小さくすれば効果的にクロストークによるノイズを低減できる。この効果は、隣接層がグランド層である時の方が、電源層である時よりも大きい。また、ある配線層の平行配線間の距離のうち最小なものを l 、該配線層に絶縁層を介して隣接するグランド層又は電源層のうち、該配線層との距離が小さい方の層と該配線層との距離を d とした時、 $l > d$ とすれば、クロストークによるノイズの低減にさらに効果的である。

(26)

以上、第1～第4の実施例によつて、本発明による電子基板を4層、6層、8層、12層で構成する例を示した。第1～第4の実施例で示した各電子基板のもつ配線層数、電源層数、グランド層数をまとめたものが、次の第1表である。

第 1 表

	4層板	6層板	8層板	12層板
配線層	2	3	4	4
電源層	1	1	2	3
グランド層	1	2	2	5

従つて、ユーザーは必要配線層数、電源層数、グランド層数、ノイズマージン等を考慮して、最適な層数の電子基板を選べばよい。また、本発明の電子基板を第1表以外の層数で構成する場合には、配線層の両隣りに絶縁層を介してグランド層または電源層を有する配線層を少なくとも1層有するというルールを守つて構成すれば本発明を実現できる。このとき、ある配線層に絶縁層を介して隣接するグランド層または電源層と該配線層の

(27)

切欠部42で囲まれており、ランド部44に伝わった熱は、狭くて熱抵抗の大きいチャネル部を通る経路しかないので、なかなかグランド層に伝わらなかった。

また、従来スルーホールと電源層を接続する場合もグランド層の場合同様、第5図に示すようなサーマルランドを用いていたので、高発熱チップから電源ピンを伝わってきた熱も、なかなか電源層に伝わらなかった。

そこで本例では第6図に示すように、サーマルランドを廃止し、スルーホール46とグランド層47をスルーホール46の全周にわたつてつないだ。

これにより、スルーホールとグランド層との接続部における熱抵抗が従来に比べ大幅に減少し、グランドピンを伝わってきた熱をすみやかにグランド層に伝えることができる。また、逆にグランド層より位置のチップのグランドピンにグランド層を伝わってきた熱を伝え、該チップおよびピン表面で冷却することができる。その上スルーホール

(29)

距離を小さくすれば効果的にクロストークによるノイズを低減できる。この効果は、隣接層がグランド層である時の方が、電源層である時よりも大きい。また、ある配線層の平行配線間の距離のうち最小なものを l 、該配線層に絶縁層を介して隣接するグランド層又は電源層のうち、該配線層との距離が小さい方の層と該配線層との距離を d とした時、 $l > d$ とすれば、クロストークによるノイズの低減にさらに効果的である。また、上配ルールを守る限り、第1表に示した層数をもつ電子基板における配線層、電源層、グランド層数は第1表の値と異なつていてもよい。

第6図は本発明の第5の実施例を示している。従来スルーホールとグランド層を接続するに際しては、第5図に示すようにサーマルランドを設けていた。すなわち、チップのグランドピンはスルーホール41に通されていて、チップからグランドピンを伝わってきた熱はランド部44、チャネル部43を介してグランド層45に伝えていた。この方法では、ランド部44とグランド層45は

(28)

とグランド層との接続部のインピーダンスもサーマルランドを設ける方法よりも小さくなるので、スルーホールとグランド層との電位等をより小さくできグランドピンへのグランド電位の供給もより良好に行うことができる。

電源層においても同様で、本例では第6図に示すグランド層の場合同様、スルーホール全周にわたつて電源層と接続する。これによりスルーホールと電源層との接続部における熱抵抗が従来に比べ大幅に減少し、高発熱チップから電源ピンを伝わってきた熱をすみやかに電源層に伝えることができる。また、逆に電源層より低温のチップの電源ピンに、電源層を伝わってきた熱を伝え、該チップおよびピン表面で冷却することができる。その上、スルーホールと電源層との接続部のインピーダンスもサーマルランドを設ける方法よりも小さくなるので、スルーホールと電源層との電位層をより小さくでき電源ピンへの電源電位の供給もより良好に行うことができる。

以上により高発熱チップからグランドピン、電

(30)

源ピンを伝わってきた熱はすみやかにグラウンド層、電源層に伝わりまた、グラウンド層、電源層を通ってきた熱の一部は各層より低温の電子回路チップのグラウンドピン、電源ピンを伝わって、該チップおよびピン表面で冷却されるので発熱チップを効果的に冷却できる上、電気的にも良好な接続が得られる。

この効果は電源層に接続されているスルーホールのうち、任意のスルーホールAの半径を r 、このスルーホールの中心とこれに最近接するスルーホールBの中心との距離を $2R$ 、とした時、スルーホールAの中心を中心とした半径 r の円と半径 R の円によつて囲まれる電源層の部分すべて電源層を構成する物質によつて構成することによつても得られる。

また、上記効果はグラウンド層に接続されているスルーホールのうち任意のスルーホールAの半径を r 、このスルーホールの中心と、これに最も最近接するスルーホールBの中心との距離を $2R$ とした時、スルーホールAの中心を中心とした半径 r

(31)

例よりも小さいので、従来よりも良好にグラウンド電位をグラウンドピンに供給することができる。

電源層とスルーホールの接続も第13図に示すグラウンド層の場合と全く同様に行う。効果も同様である。

切欠き部の面積は必ずしも第13図に示す如くでなくてもよく、接続部の熱抵抗が第5図に示す従来例よりも小さく、第6図に示す第5実施例よりも大きければよい。すなわち、任意のスルーホールAの半径を r 、スルーホールAの中心とこれに最も最近接するスルーホールBの中心との距離を $2R$ としたとき、スルーホールAの中心を中心とした半径 r の円と、半径 R の円によつて囲まれる電源層の領域の面積を S_0 、この領域内で電源層を構成する物質が占める面積を S_1 とした時、

$$\frac{S_1}{S_0} \geq 0.5 \text{ とすればよく、グラウンド層に接続され}$$

ているスルーホールのうち、任意のスルーホールCの半径を r' 、スルーホールCの中心と、これに最も最近接するスルーホールDの中心との距離を

(33)

の円と半径 R の円によつて囲まれるグラウンド層の部分が、すべてグラウンド層を構成する物質によつて構成することによつても得られる。

第13図は本発明の第6の実施例を示している。第5実施例の所で述べたように、スルーホールとグラウンド層または電源層との接続方法において、従来のサーマルランドを用いる方法だと、スルーホールランド部とグラウンド層または電源層の間の熱の伝導が妨げられる。そこで第5実施例の如くサーマルランドレスで行うと、今度はスルーホール部からグラウンドまたは電源層に熱が逃げすぎて、部品のハンダ付けが困難になる場合がある。そこで、熱抵抗を小さくしつつ、ハンダ付けを容易にするため、第13図に示すようにスルーホール153を従来例よりも小さな切欠き154でグラウンド層156から切り離す。これにより、高発熱チップからグラウンドピンを伝わってきた熱を従来よりもすみやかにグラウンド内層に伝えることができる上、ハンダ付けを第5実施例よりも容易に行うことができる。その上、接続部の電気抵抗は従来

(32)

$2R'$ としたとき、スルーホールCの中心を中心とした半径 r' の円と半径 R' の円によつて囲まれるグラウンド層の領域の面積を S_0' 、この領域内でグラウンド層を構成する物質が占める面積を S_1' とした時、 $\frac{S_1'}{S_0'} \geq 0.5$ とすればよい。

以上により、高発熱チップからグラウンドピン、電源ピンを伝わってきた熱は従来例よりもすみやかにグラウンド層、電源層に伝わり、またグラウンド層または電源層に伝わった熱の一部は両層より低温のチップのグラウンドピン、電源ピンを伝わって、該低温チップおよびピン表面で冷却されるので発熱チップを効果的に冷却できる上、電気的にも良好な接続が得られる。加えて、ハンダ付けも第5実施例よりも容易にできる。

第1～第6実施例では、グラウンドピン、電源ピンを通して冷却を行ってきたが、本発明の第7の実施例においてはグラウンドピンはグラウンド層に、電源ピンは電源層に接続した上、電子回路チップの内部回路と電気的に絶縁されているピンまたは

(34)

使用していない入力ピンまたは高インピーダンスになっている出力ピンをグランド層または電源層のうち適切な方に熱抵抗が小さくなる方法で接続する。この時の接続方法は実施例 5 または 6 の方法によつてもよい。

第 7 の実施例においては、高発熱チップから出た熱の一部は、グランドピン、電源ピンおよび電子回路チップの内部回路と電気的に絶縁されているピンまたは使用していない入力ピンまたは高インピーダンスになっている出力ピンを伝つてグランド層または電源層に伝導され、チップは冷却される。本例は、グランドピン、電源ピンのみを各グランド層、電源層に接続した場合に比べ、チップとグランド層、電源層を結ぶ伝熱経路が多いので、より効果的に冷却を行うことができる。

また、ピンに限らず熱伝導性の良い材料の一部を高発熱電子回路チップに内部回路から電気的に絶縁して取り付け、該材料の他の一部をスルーホール等を通してグランド層または電源層に接続することによつても、同様の冷却効果が得られる。

(35)

が、グランド層 49、電源層 50 とは電気的に絶縁されているため、これらの層には伝わらず、逆に、これらの層からも伝わらない。しかし、ピン 56 とグランド層 49、電源層 50 の間の熱抵抗は小さいため、電子回路チップ 57 が高発熱チップであつた場合、チップ 57 から出た熱の一部はピン 56 を伝つて電気絶縁性があつかつた熱の良導体 54、55 を伝つてグランド層 49、電源層 50 に伝わり、チップは冷却される。また、電子回路チップ 57 が低発熱チップであつた場合には、高発熱チップから出てグランド層、電源層を通つてきた熱が、電気絶縁かつ熱良導体 54、55 を通つてピン 56 に伝わり、チップ 57 および信号ピン 58 の表面から放出される。いずれの場合も、電子基板全体をみた時チップの冷却に寄与している。第 8 実施例においては、グランドピン、電源ピンさらに必要によつては内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンが伝熱経路となるのはもとより信号ピンまでも熱の経路

(37)

第 7 図は本発明の第 8 実施例を示している。電子回路チップ 57 の信号ピン 56 はスルーホール 52 に通されていて、ハンダ 53 によつて配線層 48、51 に接続されている。グランド層 49、電源層 50 は絶縁層 518 によつて、互いにそして配線層 48、51 と絶縁されている。また、グランド層 49 は電気的には絶縁性であるが、熱伝導性は良い材料 54 によつてスルーホール 52 に接続されている。さらに、電源層 50 は電気的には絶縁性であるが、熱伝導性は良い材料 55 によつてスルーホール 52 に接続されている。また、図示していないが、電源ピン、グランドピンは伝熱抵抗が低い方法で各電源層、グランド層に接続されており、さらに必要に応じて第 7 実施例のように内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンをグランド層または電源層のうち適切な方に熱抵抗が小さくなる方法で接続してもよい。

以上のような電子基板においては、所定の信号は信号ピン 56 と配線層 48、51 の間を伝わる

(36)

として用いているため、これを実施しない他の場合に比べて、チップと電子基板のグランド層、電源層との熱抵抗を小さくすることができ、チップ冷却に有効である。電源層が 49、グランド層が 50 になつた時も全く同様に本方法を用いればチップ冷却に有効である。

信号ピンとグランド層、電源層間を電気的に絶縁しつつ、熱伝導が良好に行われるように接続する方法としては、第 8 実施例に示した方法の他に、第 8 図に示す第 9 実施例の方法がある。第 8 図において、グランド層 59、電源層 60 は絶縁層 519 によつて互いに、そして配線層 58、61 と絶縁されており、また電気的には絶縁性であるが熱伝導性は良い材料 505、64、68 によつて各信号ピン 507、66、71 と電気的には絶縁されているが、熱は互いによく伝導する。配線層 58、61 上にランド部 516、62、67、517、65、70 があり、ランド部 516、517 はハンダ 504、506 によつて信号ピン 507 に接続されている。ランド部 62 はハンダ

(38)

63によつて信号ピン66に接続されている。ランド部70はハンダ69によつて信号ピン71に接続されている。また、図示していないが、ランドピン、電源ピンは各該当層に熱抵抗が小さくなる方法で接続されており、さらに必要に応じて第7実施例のように内部電子回路と電氣的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンをランド層または電源層のうち適切な方に熱抵抗が小さくなる方法で接続してもよい。

以上のように構成した電子基板において、ランドピン、電源ピンさらに、必要によつては内部電子回路と電氣的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンが伝熱経路となるのはもとより、信号ピンまでもが伝熱経路となるため、電子回路チップ72とランド層59、電源層60の間の熱伝導が第8実施例と同様に、良好に行われる。従つて、本電子基板は電子回路チップを冷却するのに効果的である。

(39)

に熱抵抗が小さくなる方法で接続されており、必要に応じて第7実施例のように内部電子回路と電氣的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンをランド層または電源層のうち適切な方に熱抵抗が小さくなる方法で接続してもよい。

以上のような配線板においては、ランドピン、電源ピンさらに、必要によつては、内部電子回路と電氣的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンが伝熱経路となるのはもとより、信号ピンまでもが伝熱経路となるため、電子回路チップ151とランド層137、140、電源層138の間の熱伝導が第8実施例と同様に、良好に行われる。従つて、本電子基板は電子回路チップを冷却するのに効果的である。

また、第8実施例では内層に配線層のある場合の例を示していなかったが、本実施例においては内層に配線層がある場合に信号ピンとランド層、電源層との間を電氣的には絶縁したまま熱伝導が

(41)

なお、信号ピンとランド層、電源層を接続する方法としては、第8図に示す信号ピン507、66、71の場合のいずれの方法を採用してもよいし、それらを組み合わせて用いてもよい。また、電源層が59、ランド層が60になった場合でも、全く同様に本方法を用いれば、チップの冷却に有効である。

第12図は本発明の第10実施例を示している。第12図において、ランド層137、140、電源層138は絶縁層152によつて互いに、そして配線層136、139、141から絶縁されている。また、ランド層137、140、電源層138はスルーホール143と、電氣的に絶縁性でかつ熱伝導性の良い材料146、147、148によつて電氣的には絶縁されているが、熱は互いに良く伝導するようになっていいる。また、信号ピン150はスルーホール143を通つており、ハンダ149によつて、ランド部142、144、145と接続されている。また、図示していないが、ランドピン、電源ピンは各該当層

(40)

良好に行われるように接続する方法を示した。これと同様の手法を用いることによつて、第12図よりも配線層、ランド層、電源層が増えても、また層構成の順序が変わつても、信号ピンと電源層、ランド層を電氣的に絶縁しながら、互いに良好に熱伝導できるように接続することができ、電子回路チップの冷却に有効な電子基板を得ることができる。

第16図は本発明の第11実施例を示している。第16図において、ランド層184、187、電源層185、および配線層183、186、188は絶縁層199によつて互いに絶縁されている。また、電子回路チップ197の信号ピン198はハンダ194、195、196により各配線層183、186、188上のランド189~191に接続されており、また、電子基板のランド層184、187、電源層185は信号ピン198と、電気絶縁性にすぐれかつ熱伝導性の良い材料192、193によつて、電氣的には絶縁されているが、熱はお互によく伝わるようにな

(42)

っている。また、図示していないが、グランドピン、電源ピンは各該当層に熱抵抗が小さくなる方法で接続されており、必要に応じて第7実施例のように内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンをグランド層または電源層のうち適切な方に、熱抵抗が小さくなる方法で接続してもよい。

以上のような電子基板においては、グランドピン、電源ピン、さらに必要によつては内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンが伝熱経路となるのはもとより、信号ピンまでもが伝熱経路となるため、電子回路チップ187とグランド層184、187、電源層185の間の熱伝導が第9実施例と同様に良好に行われる。従つて、本電子基板は電子回路チップを冷却するのに効果的である。

また、第9実施例では内層に配線層のある場合の例を示していなかったが、本実施例においては、

(43)

システムにおいては信号の遅延、ノイズの混入を防ぐため、信号線を短くしたい上、システムをコンパクトにしたいため等の理由によつてできるだけ基板の実装密度を上げる。第9図に示すような電子基板を高密度実装した場合、第14図に示すような状態となり、矢印方向に流体を流した場合、コネクタ157、158、159と隣接する電子基板とのすき間は、隣接する電子基板間の距離に比べ小さいので、流体のこの部分における通過抵抗は大きくなる。従つて流体は第14図中のB、D、F部に絞られ、B、D、F部を通過する流体の速さは、絞られる前に比べ速くなる。第14図に示す電子基板106における流体の流れの概略を示したものが第10図である。第10図において、コネクタ73~82、ZIP型メモリ83~86は電子基板106の部品面表面からの高さが高く隣接する電子基板との間隔が小さくなっている。従つて、コネクタ73~82、ZIP型メモリ83~86は流体の流れの障害物として作用する。その結果、電子基板106の部品面上で

(45)

内層に配線層がある場合に信号ピンとグランド層、電源層の間を電気的には絶縁したまま、熱伝導が良好に行われるように接続する方法を示した。

これと同様の手法を用いることによつて、第16図よりも配線層、グランド層、電源層が増え、また層構成の順序が変つても、信号ピンと電源層、グランド層を電気的には絶縁しながら、互いに良好に熱伝導できるように接続することができ、電子回路チップの冷却に有効な電子基板を得ることができる。

第9図は本発明の第12の実施例を示している。第12実施例は第9図に示す如くコネクタ73~82、ZIP型メモリ83~86、高発熱電子回路チップ87~105、503、および図示していない低発熱電子回路チップを電子基板106上に配することにより構成される。

このような電子基板を冷却するため、ファン等で冷却用流体、例えば空気を第9図の右方向（コネクタ76~78側）から左方向（コネクタ82側）へ流す。一般に電子基板を複数組込むシ

(44)

は第10図に矢印で示すような流体の流れとなっている。そこで、このような電子基板上に高発熱電子回路チップ87~105、503を配置する際には、第9図に示す如く配する。また、図示していないが、低発熱チップは、第9図において、高発熱チップを配した残りのスペースに配する。

以上のように実装を行つた電子基板においては、チップ93~96はコネクタ76と77間の領域Dに絞られ流速の増した流体にあたり、チップ99~102はコネクタ77と78の間の領域Bに絞られ流速の増した流体にあたる。一般に発熱体を流体により冷却する場合、流体の流速が大きいほど熱伝達率が向上し、冷却の効果が増すため、これらのチップは、コネクタ76~78によつて流体を絞らない場合に比べて、より効果的に冷却される。

また、高発熱チップ89~91、503の配置されている位置においては、領域D、領域Fを通過した流体がぶつかり、乱れが生じている。従つて、この位置においてはチップ表面と流体との間

(46)

の熱伝達は乱流熱伝達の状態となり、乱れが生じない場合に比べて、熱伝達率は著しく向上するためチップはより効果的に冷却される。

また、高発熱チップ87, 88はZIP型メモリ83と84間に絞られ、流速の増した流体にあたり、高発熱チップ92はZIP型メモリ84と85間に絞られ、流速の増した流体にあたる。高発熱チップ97, 98はZIP型メモリ85と86の間に絞られ、流速の増した流体にあたり、高発熱チップ103~105はZIP型メモリ86とコネクタ79~81の間に絞られ、流速の増した流体にあたる。従つて、高発熱チップ87, 88, 92, 97, 98, 103~105はいずれもコネクタまたはZIP型メモリを第9図の如く配さない場合に比べ、速い流速の流体にあたるため、より効果的に冷却される。

以上、第9図に示す本発明の第12実施例においては、電子基板上に必ず配置しなければならないコネクタやZIP型メモリ等の流体の流れの障害物をむしろ積極的に利用して、これらによる

(47)

よつて伝導板113, 117に接続されており、電子基板107の電源層は伝導板511によつて伝導板510にまた別の伝導板により伝導板515に接続されている。電子基板108のグランド層は伝導板111, 115によつて伝導板113, 117に接続されており、電子基板108の電源層は伝導板512によつて伝導板510にまた別の伝導板により伝導板515に接続されている。電子基板109のグランド層は伝導板112, 116によつて伝導板113, 117に接続されており、電子基板109の電源層は伝導板513, 514によつて伝導板510, 515に接続されている。ここで、全ての伝導板は電気および熱の良導体で構成されており、伝導板との接続は電気抵抗および熱抵抗が小さくなるように行う。マザーボード121のグランド層は伝導板127, 128, 129, その他の伝導板によつてグランド板122に接続され、マザーボード121の電源層は伝導板130, 131, 132, その他の伝導板によつて、電源板123に接続されている。

(48)

絞りによつて流速の増した冷却用流体や、これらによつて生じた冷却用流体の乱れによつて効果的にチップを冷却することができる。また、チップを実装した基板はチップを実装していない基板に比べ表面積が増していること、またチップ自体によつて流体の流れに乱れが生じていることも効果的冷却に寄与している。

尚、流体の流れを制御する障害物としてはコネクタ、ZIP型メモリに限らず、その他、本来基板上に配さねばならない部品やその他何を利用してもよい。

はた、冷却用流体は絶縁性の気体であつてもよいし、絶縁性の液体であつてもよい。冷却用流体が液体である場合には、基板を該液体中に浸漬させてもよい。

第11図は本発明の第13実施例を示している。第11図において、電子基板107~109は各、コネクタ118, 119, 120によつてマザーボード121に接続されている。また、電子基板107のグランド層は伝導板110, 114に

(49)

ここで、グランド板122、および電源板123は電気および熱の良導体で構成されている。伝導板113, 117は伝導板124, 125によつてグランド板122に接続されており、伝導板510, 515は伝導板508, 509によつて電源板123に接続されている。また、冷却のための流体は第11図中に矢印で示してある如く、紙面手前から奥へと流す。また、各電子基板の上には高発熱チップ126がいくつか実装されている。

各電子基板は第1~第12実施例に示した構造のうちのいずれかまたはその組合せを採用している。

以上のような構造をもつシステムにおいて、電子基板109上に実装された電子回路チップから発生した熱は、以下の経路をたどつて冷却される。

(a) 該発熱チップ表面に伝導し、チップ表面に流れる流体によつて冷却される。

(b) 該発熱チップから出ているピンに伝わりピン表面で冷却される。

(50)

(c) 発熱チップから該チップのピンのうちグランド層または電源層に熱抵抗が小さい方法で接続されているピンを通じて内層グランド層、電源層に伝わり、これを通してこの両層よりも低温の低発熱チップの表面に伝わり、チップ表面およびこの低発熱チップのピン表面で冷却される。

(d) 発熱チップから該チップのピンのうちグランド層または電源層に熱抵抗が小さい方法で接続されているピンを通じて内層グランド層、電源層に伝わってさらにここを通じて、電子基板全体に伝わり、次第に電子基板表面に伝わって、表面冷却される。

(e) 発熱チップから内層グランド層に伝わり、伝導板 112, 116 を伝わって伝導板 113, 117 に伝わり、さらに伝導板 124, 125 を伝わって、グランド板 122 に伝わる。この経路を伝わる熱は各伝導板の表面およびグランド板 122 の表面で冷却される。

また、内層グランド層に伝わった熱の一部は、コネクター 120 を通じてマザーボード 121

(51)

る。また、マザーボードより低温のドーターボードがあれば、そこにもマザーボードから熱が伝わりここに伝わった熱はドーターボード内で冷却される。

(g) この他、各チップ、ピン伝導板、電子基板、マザーボード、電源板、グランド板からの輻射、対流による冷却効果もある。

以上により、電子基板 109 上に電子回路チップを冷却することができる。また、電子基板 107, 108 上の電子回路チップについても同様の方法にて冷却できる。

また、第 11 図に示すシステムにおいては、マザーボード 121 に電源を供給するに際し、電源ユニットから電源板 123、グランド板 122 を介して、マザーボードの電源層、グランド層に供給されている。ここで、電源板 123、グランド板 122 上で各、システム全体の基準となる電源電位、グランド層に供給されている。ここで、電源板 123、グランド板 122 上で各、システム全体の基準となる電源電位、グランド電位を安定

(53)

に伝わり、さらに伝導板 127~129、その他の伝導板を通じて、グランド板 122 に伝わる。この経路を伝わる熱は、各伝導板の表面、マザーボード表面およびグランド板表面において冷却される。また、マザーボードよりも低温の電子基板（ドーターボード）があれば、そこにもマザーボードから熱が伝わりここに伝わった熱はドーターボード内で冷却される。

(f) 発熱チップから内層電源層に伝わり、伝導板 513, 514 を伝わって伝導板 510, 515 に伝わり、さらに伝導板 508, 509 を伝わって電源板 123 に伝わる。この経路を伝わる熱は各伝導板の表面および電源板 123 の表面で冷却される。

また、内層電源層に伝わった熱の一部は、コネクター 120 を通じてマザーボード 121 に伝わり、さらに伝導板 130~132、その他の伝導板を通じて、電源板 123 に伝わる。この経路を伝わる熱は各伝導板の表面、マザーボード表面、および電源板表面において冷却され

(52)

化させることができるので、マザーボード 121、ドーターボードたる基板 107~109 上に電源電位、グランド電位を安定させることができる。

また、マザーボード 121 にも第 1~第 4 の実施例に示した構造を採用している。従つて、マザーボード 121 においてもドーターボードたる基板 107~109 同様、電源層、グランド層を多層に設けたことにより、電源層、グランド層そのもののインピーダンスを小さくでき、高周波成分を多く含む動作に対する電源電位、グランド電位の変動を基板内で小さく抑えることができる。

また、マザーボード 121 においてもドーターボードたる基板 107~109 同様、発熱チップ、高温のコネクターピンからの熱が、主に内層のグランド層、電源層を伝わって基板全体に広がるため、基板の温度を均一化することができる。

第 11 図ではマザーボード 121 に接続されているドーターボードは基板 107~109 の 3 枚であるが、ドーターボード数がこれより増えても、上記と全く同様の効果がある。

(54)

また、マザーボード121とグラウンド板122を結小径路、およびマザーボード121と電源板123を結ぶ径路をできるだけ短くした方が、チップの冷却および電子基板上にグラウンド電位、電源電位、信号の安定化に効果的である。

また、グラウンド板122、電源板123は本例ではマザーボード121の下側に配置しているが、上記条件を満たす限り、どこに何枚配してもよい。

さらに、グラウンド板122、電源板123の表面に凸凹あるいはフィン等を設けてもよく、この時、チップの冷却がより効果的に行われる。

また、第11図においては、各電子基板のグラウンド層とグラウンド板122を伝導板110~117, 124, 125によつて接続し、各電子基板の電源層と電源板123を伝導板510~515, 508, 509、その他の伝導板によつて接続しているが、必ずしもグラウンド層、電源層ともに各、グラウンド板122、電源板123に接続する必要はなく、グラウンド層とグラウンド板122のみを接続してもよく、また電源層と電源板123のみを

(55)

第15図において、電子回路チップ175の信号ピン170の通るスルーホール520は各配線層、23, 26, 28にあるランド部167~169につながっている。また、絶縁層501とスルーホール520は隣接しており、両者間の熱伝導は良好に行われる。また、グラウンド層24, 27、電源層25と絶縁層501も隣接しており、両者間の熱伝導は良好に行われる。また、グラウンド層24, 27とスルーホール520は空間172, 174によつて絶縁されており、電源層25とスルーホール520は空間173によつて絶縁されている。

グラウンドピン161の通るスルーホール163は各配線層23, 28上にあるランド部177, 178に電気的に接続されている。絶縁層501とスルーホール163は隣接しており、両者間の熱伝導は良好に行われる。また、グラウンド層24, 27とスルーホール163は電気的に接続されている。また、電源層25とスルーホール163は空間164によつて絶縁されている。

(57)

接続してもよい。

また、伝導板の位置は必ずしも第11図と同じである必要はなく、必要に応じて適切な位置に適切な数を配置してよい。また、本電子基板装置のマザーボード、ドーターボードを本発明の電子基板、実装電子基板を用いて構成すれば、ここで述べた効果はより効果的になる。

第3図を用いて、本発明の第14実施例について説明する。本実施例の電子基板は配線層23, 26, 28グラウンド層24, 27、電源層25および絶縁層501から成っている。ここで、絶縁層501は電気絶縁性にすぐれかつエポキシ樹脂より熱伝導性が良好な材料(例えばセラミックス)または構造から成っている。はた、配線層23側が部品面側であり、配線層28側が半片面である。本実施例における電子基板に実装される電子回路チップおよびチップから出ているグラウンドピン、電源ピン、および信号ピンと本実施例における電子基板との接続状況を示したものが、第15図である。

(56)

電源ピン162の通るスルーホール165は各、配線層23, 28上にあるランド部180, 181に電気的に接続されている。また、電源層25は電気的にスルーホール165に接続されている。絶縁層501はスルーホール165に隣接しており、両者間の熱伝導は良好に行われる。グラウンド層24, 27とスルーホール165は空間166, 176によつて絶縁されている。

以上のように構成した電子基板において、基板に実装された電子回路チップ175から発生した熱は次のようにして冷却される。まず、発生した熱の一部は該チップ175表面へと伝わり、そこで冷却される。残りの熱は、信号ピン170、グラウンドピン161、電源ピン162を伝わる。ここで、一部の熱はピン表面で冷却される。ピン170を伝わった熱はハンダ171、スルーホール520を伝わつて、絶縁層501に伝わる。ここで、絶縁層501は電気的絶縁体であるが、熱の良導体であるので、スルーホール520と絶縁層501の間の熱抵抗は絶縁層501が熱の不良

(58)

導体である場合に比べて小さく、両者間の熱伝導は良好に行われる。

ピン161を伝わった熱はハンダ179、スルーホール163を伝わって電気的に接続されているグラウンド層24、27に伝わり、また隣接している絶縁層501にも伝わる。ここで、絶縁層501は電気の絶縁体であるが、熱の良導体であるので、スルーホール163と絶縁層501の間の熱抵抗は、絶縁層501が熱の不良導体である場合に比べて小さく、両者間の熱伝導は良好に行われる。

ピン162を伝わった熱は、ハンダ182、スルーホール165を伝わって、接続されている電源層25に伝わり、また隣接している絶縁層501にも伝わる。

ここで絶縁層501は電気の絶縁体であるが、熱の良導体であるので、スルーホール165と絶縁層501の間の熱抵抗は、絶縁層501が熱の不良導体である場合に比べて小さく、両者間の熱伝導は良好に行われる。

(59)

面に至る経路、絶縁層を伝わって信号ピンを伝わりチップ表面に至る経路があり、経路が増した分だけ熱伝導が促進されより良好に冷却される。

第3に、グラウンド層、電源層、絶縁層を伝わって、これらの層の先に設けられた冷却設備において冷却される。ここで、絶縁層501が熱の不良導体である場合に比べて、本実施例の方が絶縁層501を通って先の冷却設備に達する熱量が多く、発熱チップの冷却により有効である。

また、グラウンド層、電源層を第15図に示す如く多層に配してあるため、クロストークによるノイズを低減する効果は第3実施例と同様であり、その効果をより顕著にする方法も同様である。

また、グラウンド層、電源層を第15図に示す如く多層に配すると、多層にわたるグラウンド層、電源層全体と同じ厚みのグラウンド層、電源層を一層ずつにした場合に比べて、基板表面から近い場所に熱の良導体であるグラウンド層、電源層を多く配することができるので、基板表面での冷却に有利である。これは絶縁層501が熱の不良導体であ

(61)

以上のようにして、グラウンド層24、27、電源層25、絶縁層501に伝わった熱は、次の経路のいずれかによつて冷却される。

まず、第1にグラウンド層24、27、電源層25、絶縁層501から電子基板の厚み方向に熱が伝わり、電子基板表面に達して、そこで冷却される。ここで絶縁層501は熱の良導体であるので、絶縁層に熱の不良導体を用いた場合に比べてすみやかに熱が基板表面に伝わるため、より良好に冷却される。

第2に、グラウンド層24、27、電源層25、絶縁層501よりも低い温度のグラウンドピン、電源ピン、信号ピンを伝わって、該ピンの表面および該ピンをもつチップの表面にて冷却される。ここで、絶縁層501が熱の不良導体である場合は、熱のグラウンド層、電源層を伝わりグラウンドピン、電源ピンを伝わってチップ表面に至る経路が主であるが、本実施例では絶縁層501の熱の良導体を用いているので、上記経路のほか絶縁層を伝わってグラウンドピン、電源ピンを伝わってチップ表

(60)

る場合についても同様である。

また、電源層、グラウンド層を多層に設けたことにより、電源層、グラウンド層のインピーダンスを小さくでき、高周波動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができる。

また、本実施例においては、発熱する電子回路チップ175からの熱が内層のグラウンド層24、27、電源層25はもちろん、熱伝導性のよい絶縁層501をも伝わって基板全体に広がるため、絶縁層501が熱の不良導体である場合に比べて、より効果的に基板の温度の均一化を図ることができる。

また、ここでは、領域172~174、164、166、176は空間であつたが、この部分も、電気的絶縁性にすぐれかつ熱の良導体である材料または構造で構成してもよい。このような構造においてはこの部分も熱の伝導に寄与できるようになるので、上記効果がより効果的にあらわれる。

また、第3図の例は本発明を6層板で構成する

(62)

場合の一実施例であつて、配線層の絶縁層を介した隣りにグラウンド層または電源層を設けており、しかも絶縁層が電気的な絶縁性をもちかつ熱の良導性をもつ材料または構造から成っているならば、第3図に示した層構成とは順序が異なつていてもまた層数が第3図と異なつていても、本発明の電子基板を構成したことになる。

例えば、第1図において絶縁層5が電気的な絶縁性をもちかつ熱の良導性をもつ材料または構造から成っているならば、本発明を4層板で構成した一実施例となり、第2図において絶縁層500が電気的な絶縁性をもちかつ熱の良導性をもつ材料または構造から成っているならば、本発明を8層板で構成した一実施例となる。また、第4図において、絶縁層502が電気的な絶縁性をもちかつ熱の良導性をもつ材料または構造から成っているならば、本発明を12層板で構成した一実施例となる。これらの効果は第14実施例と同様である。

実施例1～14のいずれかまたはそのうちいく

(63)

却した後にIC、LSI等をソケットにはめ込む実装方法が、本発明の第16の実施例である。

このような電子基板において第15実施例のような方法で部品の実装を行った場合、予熱時間が長いまたは予熱温度が高いと組み込んだICまたはLSI等が故障し、正常動作しなくなる可能性がある。

そこで、本方法を用いれば、ICまたはLSIを高温にさらすことなく部品の実装を行うことができる。

〔発明の効果〕

本発明の電子基板によれば、電子基板内部に設けたグラウンド層、電源層によつて熱をその先に設けられた冷却部に伝導することができる。

また、配線層に絶縁層を介して隣接する層には、グラウンド層または電源層を配することにより、この配線層における配線のインピーダンスを小さくできるので、この配線層上を平行に走る配線間の静電結合によるクロストークによるノイズを低減できる。

(65)

つかを組合わせた電子基板を予め加熱しておいて、その後、部品のハンダ付けを行う実装方法が本発明の第15実施例である。

このような電子基板を本方式を用いずに、予熱しないまま部品のハンダ付けを行おうとすると、グラウンド層、電源層等の熱伝導性の良い層に熱抵抗が低くなるような方法で接続されたスルーホールに加わった熱はすぐにグラウンド層、電源層等の熱伝導性のよい層に逃げてしまつてハンダ付けが良好に行われぬが、本方式を用いると、予めグラウンド層、電源層等の熱伝導性の良い層は加熱されて温度が高くなっているから、該スルーホールに加わった熱はグラウンド層、電源層等の熱伝導性の良い層に逃げにくくなつて、ハンダ付けを良好に行うことができる。

実施例1～14のいずれかまたはそのうちのいくつかを組合わせた電子基板に部品を実装するに際し、予めIC、LSI等用のソケットを該電子基板に組込み、第15実施例の如くこの電子基板を予め加熱した後にハンダ付けを行ない、十分冷

(64)

本発明の電子基板装置によれば、電源ユニットから電源板、グラウンド板を介して、マザーボードに電源が供給されており、電源板、グラウンド板上で各、システム全体の基準となる電源電位、グラウンド電位を安定化させることができるので、マザーボード、ドーターボード上の電源電位、グラウンド電位を安定させることができる。

また、マザーボード、ドーターボードの各電子基板においては、電源層、グラウンド層を多層に設けたことにより、電源層、グラウンド層そのもののインピーダンスを小さくでき、高周波成分を多く含む動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができる。

さらに本発明の他の実装電子基板によれば、発熱する電子回路チップからの熱が、内層のグラウンド層、電源層等の熱伝導性のよい層を伝わつて基板全体に広がる上、高発熱チップは冷却用流体の流速を速めた場所、冷却用流体に乱れを発生させた場所に配し、他の低発熱チップに比べ、より効果的に冷却しているため、基板の温度を均一化す

(66)

ることができる。

本発明の電子基板の実装方法によれば、グラウンド層電源層等の熱伝導率のよい層に熱抵抗の小さい方法で接続されたスルーホールを通る電子回路チップのピンを該スルーホールにハンダ付けする際に、グラウンド層、電源層等の熱伝導性のよい層を予め加熱しておくので、これらの層とハンダの融点との温度差が小さくなって、ハンダ付けの際に該スルーホールから熱を逃げにくくすることができるので良好にハンダ付けを行うことができる。

4. 図面の簡単な説明

第1図は本発明の第1実施例を示す断面図、第2図は本発明の第2実施例を示す断面図、第3図は本発明の第3実施例を示す断面図、第4図は本発明の第4実施例を示す断面図である。第5図は従来技術によるサーマルランドを示す図、第6図は本発明の第5実施例を示す図、第7図は本発明の第8実施例を示す断面図、第8図は本発明の第9実施例を示す断面図、第9図、第10図および第14図は本発明の第12実

(67)

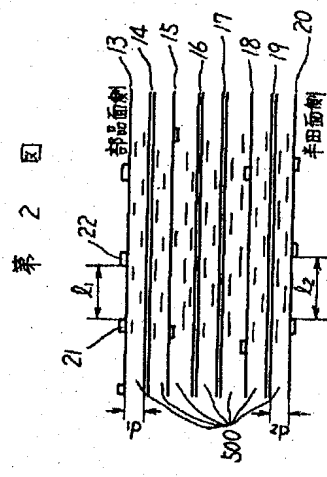
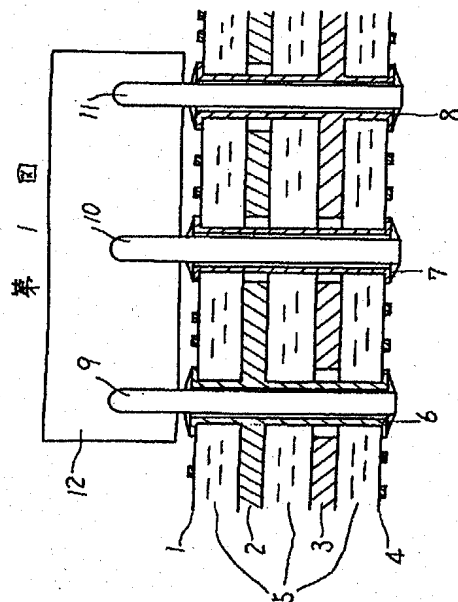
メモリ、87~105…高発熱電子回路チップ、107~109…電子基板、110~117…伝導板、121…マザーボード、122…グラウンド板、123…電源板、124, 125, 127~132…伝導板、136, 139, 141…配線層、137, 140…グラウンド層、138…電源層、150…信号ピン、152…絶縁層、153…スルーホール、156…グラウンド層、157~159…コネクタ、161…グラウンドピン、162…電源ピン、170…信号ピン、183, 186, 188…配線層、184, 187…グラウンド層、185…電源層、500~502…絶縁層、503…高発熱電子回路チップ、508~515…伝導板。

代理人 井理士 小川勝男

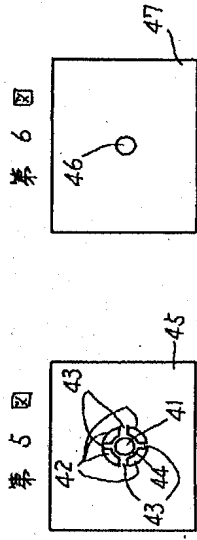
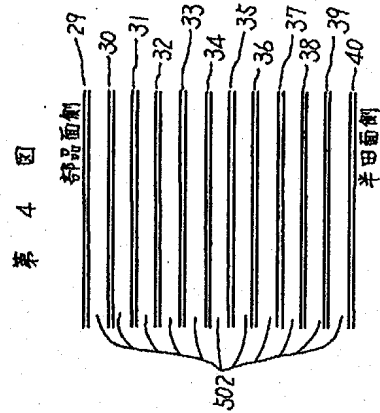
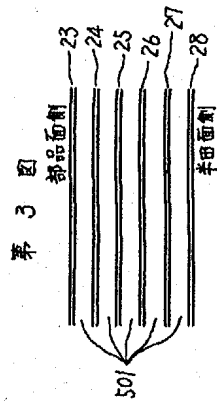
(69)

施例を示す図、第11図は本発明の第13実施例を示す図、第12図は本発明の第10実施例を示す断面図、第13図は本発明の第6実施例を示す図、第15図は本発明の第14実施例を示す断面図、第16図は本発明の第11実施例を示す。
[付図の符号]
1, 4…配線層、2…グラウンド層、3…電源層、5…絶縁層、9…グラウンドピン、10…信号ピン、11…電源ピン、13, 15, 18, 20…配線層、14, 19…グラウンド層、16, 17…電源層、21, 22…配線、23, 26, 28…配線層、24, 27…グラウンド層、25…電源層、29, 33, 38, 40…配線層、30, 32, 34, 37, 39…グラウンド層、31, 35, 36…電源層、41, 46…スルーホール、42…切欠部、43…チャネル部、44…ランド部、45, 47…グラウンド層、48, 51…配線層、49…グラウンド層、50…電源層、56…信号ピン、58, 61…配線層、59…グラウンド層、60…電源層、66, 71, 507…信号ピン、73~82…コネクタ、83~86…ZIP…

(68)

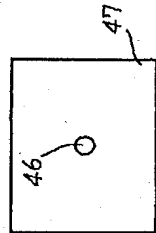


1. 4	配線層	13. 15. 18. 20	配線層
2	グラウンド層	14. 19	グラウンド層
3	電源層	16. 17	電源層
5	絶縁層	500	絶縁層
6~8	スルホール		

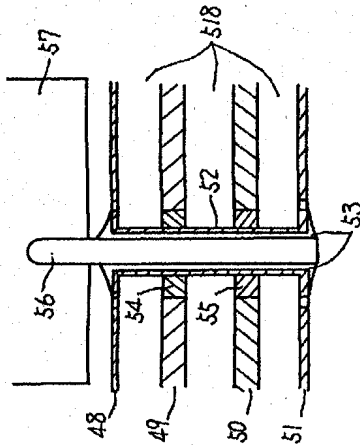


23. 26. 28	配線層	30. 32. 37. 39	グラウンド層
24. 27	グラウンド層	31. 35. 36	電源層
25	電源層	501	絶縁層
29. 33. 38. 40	配線層	502	絶縁層

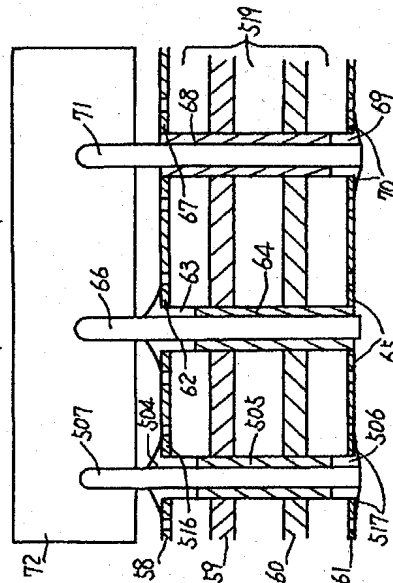
第 6 図



第 7 図

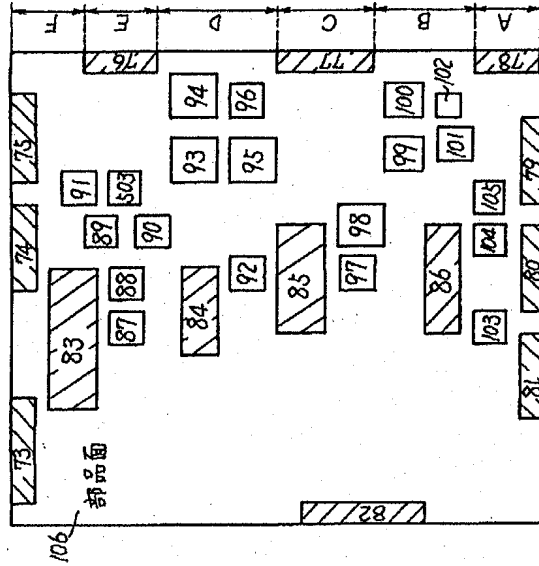


第 8 図



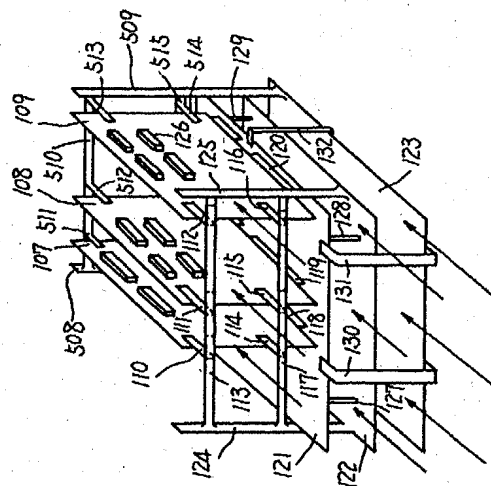
- | | | | |
|--------|---------------------|-------------|---------------------|
| 48, 51 | 配線層 | 56 | 信号セン |
| 49 | アランド層 | 59 | アランド層 |
| 50 | 電源層 | 60 | 電圧層 |
| 52 | スルーホール | 63 | 電圧層 |
| 54, 55 | 電圧層に絶縁性があり熱伝導性が良い材料 | 64 | 電圧層に絶縁性があり熱伝導性が良い材料 |
| | | 505, 64, 68 | 電圧層に絶縁性があり熱伝導性が良い材料 |

第 9 図



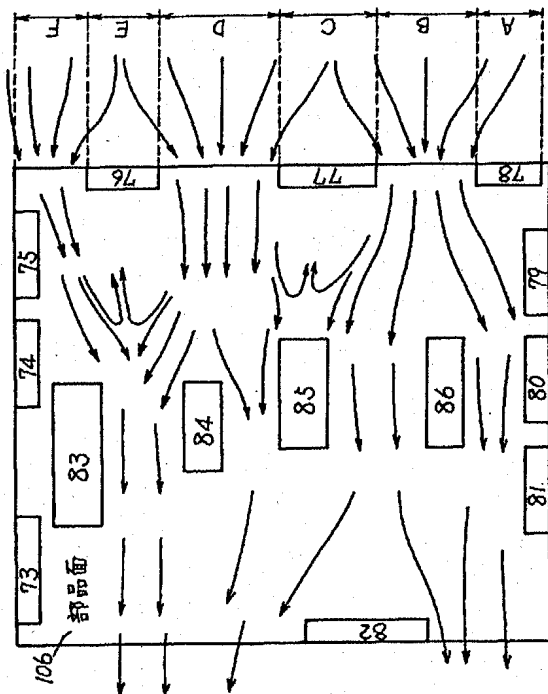
- | | |
|--------|-----------|
| 73~82 | コネクター |
| 83~86 | ZIP型メモリ |
| 87~105 | 高熱電子回路チップ |
| 503 | 高熱電子回路チップ |

第 11 図



110~117 伝導板
118~120 コネクター
121 マガ-ボ-ド
122 グラント板
123 電源板
124, 125 伝導板
127~132 伝導板
508~515 伝導板

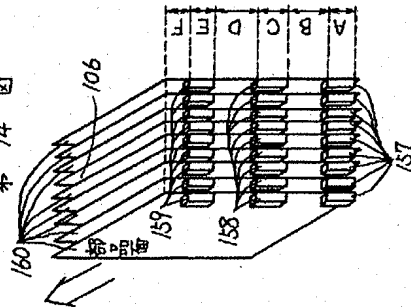
第 10 図



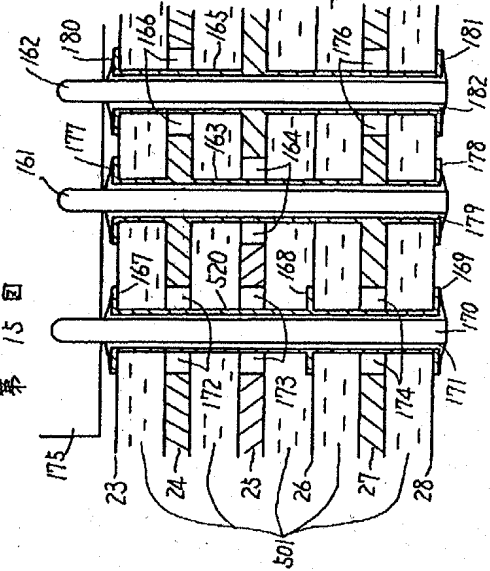
73~82 コネクター
83~86 ZIP型メモリ

- コネクター
電子基板
ランドピン
電源ピン
スルーホール
交差
信号ピン
ハンダ
- 157-159
160
161
162
163, 165
164, 172
174, 176
178
170
171, 179
182

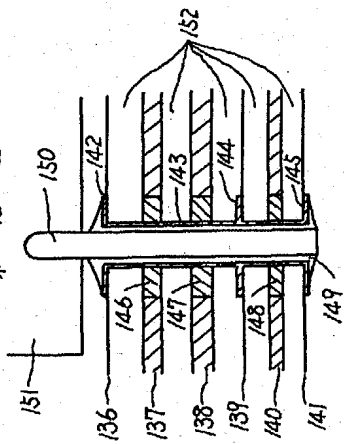
第 14 図



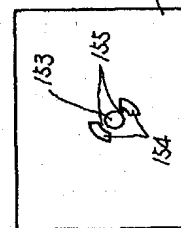
第 15 図



第 12 図

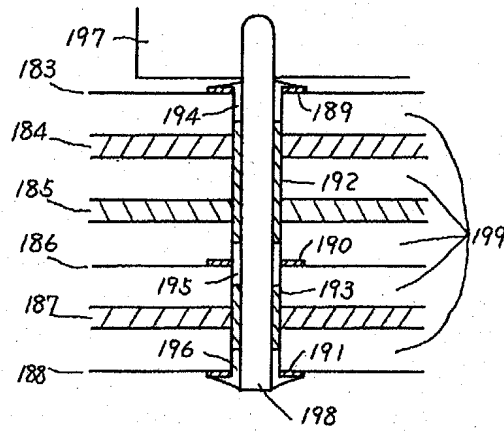


第 13 図



- 配線層
ランド層
電源層
絶縁層
普及的に絶縁性があり
熱伝導性が高い材料
信号ピン
スルーホール
切欠き
ランド層
- 136, 139, 141
137, 140
138
152
146, 147, 148
150
153
154
156

第 16 図



- | | |
|---------------|---------------------------|
| 183, 186, 188 | 配線層 |
| 184, 187 | アランド層 |
| 185 | 電導層 |
| 189~191 | ランド部 |
| 192, 193 | 電氣的に絶縁性であり
かつ熱伝導性が高い材料 |
| 194~196 | ハンダ |
| 198 | 信号ピン |
| 199 | 絶縁層 |